

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

011309195 \*\*\*Image available\*\*\*

WPI Acc No: 1997-287100 199726

Related WPI Acc No: 1997-190387; 1997-190388; 1997-233573; 2000-288763;

2000-288764

NRPX Acc No: N97-237814

Semiconductor device e.g. thin-film transistor for liquid crystal display

- uses tungsten silicide film in absorbing heat and transferring it to

polycrystalline silicon film during impurity activation

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL )

Inventor: HIRANO K; MORIMOTO Y; SOTANI N; YAMAJI T; YONEDA K

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 9107108</b>	A	19970422	JP 96205073	A	19960802	199726 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199832
JP 3096640	B2	20001010	JP 96205073	A	19960802	200052

Priority Applications (No Type Date): JP 95199981 A 19950804; JP 95167513 A

19950703; JP 95199979 A 19950804; JP 95199980 A 19950804; JP 95199982 A

19950804

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 9107108	A	13	H01L-029 786	
------------	---	----	--------------	--

KR 97008658	A		H01L-029 78	
-------------	---	--	-------------	--

US 5771110	A		H01L-029 786	
------------	---	--	--------------	--

JP 3096640	B2	12	H01L-029 786	Previous Publ. patent JP 9107108
------------	----	----	--------------	----------------------------------

Abstract (Basic): JP 9107108 A

The device has a tungsten silicide film (2) formed between a glass substrate (1) and a thin film transistor (A). The film absorbs heat during rapid thermal annealing for impurity activation.

The absorbed heat is used to uniformly and directly heat a polycrystalline Si film (4).

ADVANTAGE - Obtains good quality semiconductor device by making activation state of impurity area uniform. Obtains S-film for short time. Prevents deformation of substrate during heat-treatment. Provides good quality liquid crystal display device.

Dwg.1 20

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; TRANSISTOR; LIQUID; CRYSTAL; DISPLAY; TUNGSTEN; SILICIDE; FILM; ABSORB; HEAT; TRANSFER;

POLYCRYSTALLINE; SILICON; FILM; IMPURE; ACTIVATION

Index Terms Additional Words: LCD

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-029 78; H01L-029 786

International Patent Class (Additional): G02F-001 136; G02F-001 1368;

H01L 25/02; H01L 25/03; H01L 25/04; H01L 25/05; H01L 25/06; H01L 25/07; H01L 25/08; H01L 25/09; H01L 25/10; H01L 25/11; H01L 25/12; H01L 25/13; H01L 25/14; H01L 25/15; H01L 25/16; H01L 25/17; H01L 25/18; H01L 25/19; H01L 25/20; H01L 25/21; H01L 25/22; H01L 25/23; H01L 25/24; H01L 25/25; H01L 25/26; H01L 25/27; H01L 25/28; H01L 25/29; H01L 25/30; H01L 25/31; H01L 25/32; H01L 25/33; H01L 25/34; H01L 25/35; H01L 25/36; H01L 25/37; H01L 25/38; H01L 25/39; H01L 25/40; H01L 25/41; H01L 25/42; H01L 25/43; H01L 25/44; H01L 25/45; H01L 25/46; H01L 25/47; H01L 25/48; H01L 25/49; H01L 25/50; H01L 25/51; H01L 25/52; H01L 25/53; H01L 25/54; H01L 25/55; H01L 25/56; H01L 25/57; H01L 25/58; H01L 25/59; H01L 25/60; H01L 25/61; H01L 25/62; H01L 25/63; H01L 25/64; H01L 25/65; H01L 25/66; H01L 25/67; H01L 25/68; H01L 25/69; H01L 25/70; H01L 25/71; H01L 25/72; H01L 25/73; H01L 25/74; H01L 25/75; H01L 25/76; H01L 25/77; H01L 25/78; H01L 25/79; H01L 25/80; H01L 25/81; H01L 25/82; H01L 25/83; H01L 25/84; H01L 25/85; H01L 25/86; H01L 25/87; H01L 25/88; H01L 25/89; H01L 25/90; H01L 25/91; H01L 25/92; H01L 25/93; H01L 25/94; H01L 25/95; H01L 25/96; H01L 25/97; H01L 25/98; H01L 25/99; H01L 26/00; H01L 26/01; H01L 26/02; H01L 26/03; H01L 26/04; H01L 26/05; H01L 26/06; H01L 26/07; H01L 26/08; H01L 26/09; H01L 26/10; H01L 26/11; H01L 26/12; H01L 26/13; H01L 26/14; H01L 26/15; H01L 26/16; H01L 26/17; H01L 26/18; H01L 26/19; H01L 26/20; H01L 26/21; H01L 26/22; H01L 26/23; H01L 26/24; H01L 26/25; H01L 26/26; H01L 26/27; H01L 26/28; H01L 26/29; H01L 26/30; H01L 26/31; H01L 26/32; H01L 26/33; H01L 26/34; H01L 26/35; H01L 26/36; H01L 26/37; H01L 26/38; H01L 26/39; H01L 26/40; H01L 26/41; H01L 26/42; H01L 26/43; H01L 26/44; H01L 26/45; H01L 26/46; H01L 26/47; H01L 26/48; H01L 26/49; H01L 26/50; H01L 26/51; H01L 26/52; H01L 26/53; H01L 26/54; H01L 26/55; H01L 26/56; H01L 26/57; H01L 26/58; H01L 26/59; H01L 26/60; H01L 26/61; H01L 26/62; H01L 26/63; H01L 26/64; H01L 26/65; H01L 26/66; H01L 26/67; H01L 26/68; H01L 26/69; H01L 26/70; H01L 26/71; H01L 26/72; H01L 26/73; H01L 26/74; H01L 26/75; H01L 26/76; H01L 26/77; H01L 26/78; H01L 26/79; H01L 26/80; H01L 26/81; H01L 26/82; H01L 26/83; H01L 26/84; H01L 26/85; H01L 26/86; H01L 26/87; H01L 26/88; H01L 26/89; H01L 26/90; H01L 26/91; H01L 26/92; H01L 26/93; H01L 26/94; H01L 26/95; H01L 26/96; H01L 26/97; H01L 26/98; H01L 26/99; H01L 27/00; H01L 27/01; H01L 27/02; H01L 27/03; H01L 27/04; H01L 27/05; H01L 27/06; H01L 27/07; H01L 27/08; H01L 27/09; H01L 27/10; H01L 27/11; H01L 27/12; H01L 27/13; H01L 27/14; H01L 27/15; H01L 27/16; H01L 27/17; H01L 27/18; H01L 27/19; H01L 27/20; H01L 27/21; H01L 27/22; H01L 27/23; H01L 27/24; H01L 27/25; H01L 27/26; H01L 27/27; H01L 27/28; H01L 27/29; H01L 27/30; H01L 27/31; H01L 27/32; H01L 27/33; H01L 27/34; H01L 27/35; H01L 27/36; H01L 27/37; H01L 27/38; H01L 27/39; H01L 27/40; H01L 27/41; H01L 27/42; H01L 27/43; H01L 27/44; H01L 27/45; H01L 27/46; H01L 27/47; H01L 27/48; H01L 27/49; H01L 27/50; H01L 27/51; H01L 27/52; H01L 27/53; H01L 27/54; H01L 27/55; H01L 27/56; H01L 27/57; H01L 27/58; H01L 27/59; H01L 27/60; H01L 27/61; H01L 27/62; H01L 27/63; H01L 27/64; H01L 27/65; H01L 27/66; H01L 27/67; H01L 27/68; H01L 27/69; H01L 27/70; H01L 27/71; H01L 27/72; H01L 27/73; H01L 27/74; H01L 27/75; H01L 27/76; H01L 27/77; H01L 27/78; H01L 27/79; H01L 27/80; H01L 27/81; H01L 27/82; H01L 27/83; H01L 27/84; H01L 27/85; H01L 27/86; H01L 27/87; H01L 27/88; H01L 27/89; H01L 27/90; H01L 27/91; H01L 27/92; H01L 27/93; H01L 27/94; H01L 27/95; H01L 27/96; H01L 27/97; H01L 27/98; H01L 27/99; H01L 28/00; H01L 28/01; H01L 28/02; H01L 28/03; H01L 28/04; H01L 28/05; H01L 28/06; H01L 28/07; H01L 28/08; H01L 28/09; H01L 28/10; H01L 28/11; H01L 28/12; H01L 28/13; H01L 28/14; H01L 28/15; H01L 28/16; H01L 28/17; H01L 28/18; H01L 28/19; H01L 28/20; H01L 28/21; H01L 28/22; H01L 28/23; H01L 28/24; H01L 28/25; H01L 28/26; H01L 28/27; H01L 28/28; H01L 28/29; H01L 28/30; H01L 28/31; H01L 28/32; H01L 28/33; H01L 28/34; H01L 28/35; H01L 28/36; H01L 28/37; H01L 28/38; H01L 28/39; H01L 28/40; H01L 28/41; H01L 28/42; H01L 28/43; H01L 28/44; H01L 28/45; H01L 28/46; H01L 28/47; H01L 28/48; H01L 28/49; H01L 28/50; H01L 28/51; H01L 28/52; H01L 28/53; H01L 28/54; H01L 28/55; H01L 28/56; H01L 28/57; H01L 28/58; H01L 28/59; H01L 28/60; H01L 28/61; H01L 28/62; H01L 28/63; H01L 28/64; H01L 28/65; H01L 28/66; H01L 28/67; H01L 28/68; H01L 28/69; H01L 28/70; H01L 28/71; H01L 28/72; H01L 28/73; H01L 28/74; H01L 28/75; H01L 28/76; H01L 28/77; H01L 28/78; H01L 28/79; H01L 28/80; H01L 28/81; H01L 28/82; H01L 28/83; H01L 28/84; H01L 28/85; H01L 28/86; H01L 28/87; H01L 28/88; H01L 28/89; H01L 28/90; H01L 28/91; H01L 28/92; H01L 28/93; H01L 28/94; H01L 28/95; H01L 28/96; H01L 28/97; H01L 28/98; H01L 28/99; H01L 29/00; H01L 29/01; H01L 29/02; H01L 29/03; H01L 29/04; H01L 29/05; H01L 29/06; H01L 29/07; H01L 29/08; H01L 29/09; H01L 29/10; H01L 29/11; H01L 29/12; H01L 29/13; H01L 29/14; H01L 29/15; H01L 29/16; H01L 29/17; H01L 29/18; H01L 29/19; H01L 29/20; H01L 29/21; H01L 29/22; H01L 29/23; H01L 29/24; H01L 29/25; H01L 29/26; H01L 29/27; H01L 29/28; H01L 29/29; H01L 29/30; H01L 29/31; H01L 29/32; H01L 29/33; H01L 29/34; H01L 29/35; H01L 29/36; H01L 29/37; H01L 29/38; H01L 29/39; H01L 29/40; H01L 29/41; H01L 29/42; H01L 29/43; H01L 29/44; H01L 29/45; H01L 29/46; H01L 29/47; H01L 29/48; H01L 29/49; H01L 29/50; H01L 29/51; H01L 29/52; H01L 29/53; H01L 29/54; H01L 29/55; H01L 29/56; H01L 29/57; H01L 29/58; H01L 29/59; H01L 29/60; H01L 29/61; H01L 29/62; H01L 29/63; H01L 29/64; H01L 29/65; H01L 29/66; H01L 29/67; H01L 29/68; H01L 29/69; H01L 29/70; H01L 29/71; H01L 29/72; H01L 29/73; H01L 29/74; H01L 29/75; H01L 29/76; H01L 29/77; H01L 29/78; H01L 29/79; H01L 29/80; H01L 29/81; H01L 29/82; H01L 29/83; H01L 29/84; H01L 29/85; H01L 29/86; H01L 29/87; H01L 29/88; H01L 29/89; H01L 29/90; H01L 29/91; H01L 29/92; H01L 29/93; H01L 29/94; H01L 29/95; H01L 29/96; H01L 29/97; H01L 29/98; H01L 29/99; H01L 30/00; H01L 30/01; H01L 30/02; H01L 30/03; H01L 30/04; H01L 30/05; H01L 30/06; H01L 30/07; H01L 30/08; H01L 30/09; H01L 30/10; H01L 30/11; H01L 30/12; H01L 30/13; H01L 30/14; H01L 30/15; H01L 30/16; H01L 30/17; H01L 30/18; H01L 30/19; H01L 30/20; H01L 30/21; H01L 30/22; H01L 30/23; H01L 30/24; H01L 30/25; H01L 30/26; H01L 30/27; H01L 30/28; H01L 30/29; H01L 30/30; H01L 30/31; H01L 30/32; H01L 30/33; H01L 30/34; H01L 30/35; H01L 30/36; H01L 30/37; H01L 30/38; H01L 30/39; H01L 30/40; H01L 30/41; H01L 30/42; H01L 30/43; H01L 30/44; H01L 30/45; H01L 30/46; H01L 30/47; H01L 30/48; H01L 30/49; H01L 30/50; H01L 30/51; H01L 30/52; H01L 30/53; H01L 30/54; H01L 30/55; H01L 30/56; H01L 30/57; H01L 30/58; H01L 30/59; H01L 30/60; H01L 30/61; H01L 30/62; H01L 30/63; H01L 30/64; H01L 30/65; H01L 30/66; H01L 30/67; H01L 30/68; H01L 30/69; H01L 30/70; H01L 30/71; H01L 30/72; H01L 30/73; H01L 30/74; H01L 30/75; H01L 30/76; H01L 30/77; H01L 30/78; H01L 30/79; H01L 30/80; H01L 30/81; H01L 30/82; H01L 30/83; H01L 30/84; H01L 30/85; H01L 30/86; H01L 30/87; H01L 30/88; H01L 30/89; H01L 30/90; H01L 30/91; H01L 30/92; H01L 30/93; H01L 30/94; H01L 30/95; H01L 30/96; H01L 30/97; H01L 30/98; H01L 30/99; H01L 31/00; H01L 31/01; H01L 31/02; H01L 31/03; H01L 31/04; H01L 31/05; H01L 31/06; H01L 31/07; H01L 31/08; H01L 31/09; H01L 31/10; H01L 31/11; H01L 31/12; H01L 31/13; H01L 31/14; H01L 31/15; H01L 31/16; H01L 31/17; H01L 31/18; H01L 31/19; H01L 31/20; H01L 31/21; H01L 31/22; H01L 31/23; H01L 31/24; H01L 31/25; H01L 31/26; H01L 31/27; H01L 31/28; H01L 31/29; H01L 31/30; H01L 31/31; H01L 31/32; H01L 31/33; H01L 31/34; H01L 31/35; H01L 31/36; H01L 31/37; H01L 31/38; H01L 31/39; H01L 31/40; H01L 31/41; H01L 31/42; H01L 31/43; H01L 31/44; H01L 31/45; H01L 31/46; H01L 31/47; H01L 31/48; H01L 31/49; H01L 31/50; H01L 31/51; H01L 31/52; H01L 31/53; H01L 31/54; H01L 31/55; H01L 31/56; H01L 31/57; H01L 31/58; H01L 31/59; H01L 31/60; H01L 31/61; H01L 31/62; H01L 31/63; H01L 31/64; H01L 31/65; H01L 31/66; H01L 31/67; H01L 31/68; H01L 31/69; H01L 31/70; H01L 31/71; H01L 31/72; H01L 31/73; H01L 31/74; H01L 31/75; H01L 31/76; H01L 31/77; H01L 31/78; H01L 31/79; H01L 31/80; H01L 31/81; H01L 31/82; H01L 31/83; H01L 31/84; H01L 31/85; H01L 31/86; H01L 31/87; H01L 31/88; H01L 31/89; H01L 31/90; H01L 31/91; H01L 31/92; H01L 31/93; H01L 31/94; H01L 31/95; H01L 31/96; H01L 31/97; H01L 31/98; H01L 31/99; H01L 32/00; H01L 32/01; H01L 32/02; H01L 32/03; H01L 32/04; H01L 32/05; H01L 32/06; H01L 32/07; H01L 32/08; H01L 32/09; H01L 32/10; H01L 32/11; H01L 32/12; H01L 32/13; H01L 32/14; H01L 32/15; H01L 32/16; H01L 32/17; H01L 32/18; H01L 32/19; H01L 32/20; H01L 32/21; H01L 32/22; H01L 32/23; H01L 32/24; H01L 32/25; H01L 32/26; H01L 32/27; H01L 32/28; H01L 32/29; H01L 32/30; H01L 32/31; H01L 32/32; H01L 32/33; H01L 32/34; H01L 32/35; H01L 32/36; H01L 32/37; H01L 32/38; H01L 32/39; H01L 32/40; H01L 32/41; H01L 32/42; H01L 32/43; H01L 32/44; H01L 32/45; H01L 32/46; H01L 32/47; H01L 32/48; H01L 32/49; H01L 32/50; H01L 32/51; H01L 32/52; H01L 32/53; H01L 32/54; H01L 32/55; H01L 32/56; H01L 32/57; H01L 32/58; H01L 32/59; H01L 32/60; H01L 32/61; H01L 32/62; H01L 32/63; H01L 32/64; H01L 32/65; H01L 32/66; H01L 32/67; H01L 32/68; H01L 32/69; H01L 32/70; H01L 32/71; H01L 32/72; H01L 32/73; H01L 32/74; H01L 32/75; H01L 32/76; H01L 32/77; H01L 32/78; H01L 32/79; H01L 32/80; H01L 32/81; H01L 32/82; H01L 32/83; H01L 32/84; H01L 32/85; H01L 32/86; H01L 32/87; H01L 32/88; H01L 32/89; H01L 32/90; H01L 32/91; H01L 32/92; H01L 32/93; H01L 32/94; H01L 32/95; H01L 32/96; H01L 32/97; H01L 32/98; H01L 32/99; H01L 33/00; H01L 33/01; H01L 33/02; H01L 33/03; H01L 33/04; H01L 33/05; H01L 33/06; H01L 33/07; H01L 33/08; H01L 33/09; H01L 33/10; H01L 33/11; H01L 33/12; H01L 33/13; H01L 33/14; H01L 33/15; H01L 33/16; H01L 33/17; H01L 33/18; H01L 33/19; H01L 33/20; H01L 33/21; H01L 33/22; H01L 33/23; H01L 33/24; H01L 33/25; H01L 33/26; H01L 33/27; H01L 33/28; H01L 33/29; H01L 33/30; H01L 33/31; H01L 33/32; H01L 33/33; H01L 33/34; H01L 33/35; H01L 33/36; H01L 33/37; H01L 33/38; H01L 33/39; H01L 33/40; H01L 33/41; H01L 33/42; H01L 33/43; H01L 33/44; H01L 33/45; H01L 33/46; H01L 33/47; H01L 33/48; H01L 33/49; H01L 33/50; H01L 33/51; H01L 33/52; H01L 33/53; H01L 33/54; H01L 33/55; H01L 33/56; H01L 33/57; H01L 33/58; H01L 33/59; H01L 33/60; H01L 33/61; H01L 33/62; H01L 33/63; H01L 33/64; H01L 33/65; H01L 33/66; H01L 33/67; H01L 33/68; H01L 33/69; H01L 33/70; H01L 33/71; H01L 33/72; H01L 33/73; H01L 33/74; H01L 33/75; H01L 33/76; H01L 33/77; H01L 33/78; H01L 33/79; H01L 33/80; H01L 33/81; H01L 33/82; H01L 33/83; H01L 33/84; H01L 33/85; H01L 33/86; H01L 33/87; H01L 33/88; H01L 33/89; H01L 33/90; H01L 33/91; H01L 33/92; H01L 33/93; H01L 33/94; H01L 33/95; H01L 33/96; H01L 33/97; H01L 33/98; H01L 33/99; H01L 34/00; H01L 34/01; H01L 34/02; H01L 34/03; H01L 34/04; H01L 34/0

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107108

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

G 0 2 F 1/136

H 0 1 L 21/268

21/768

27/12

5 0 0

H 0 1 L 29/78

G 0 2 F 1/136

H 0 1 L 21/268

27/12

21/90

6 1 2 B

5 0 0

Z

R

Z

審査請求 未請求 請求項の数19 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平8-205073

(22) 出願日 平成8年(1996)8月2日

(31) 優先権主張番号 特願平7-199981

(32) 優先日 平7(1995)8月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 安富 耕二 (外1名)

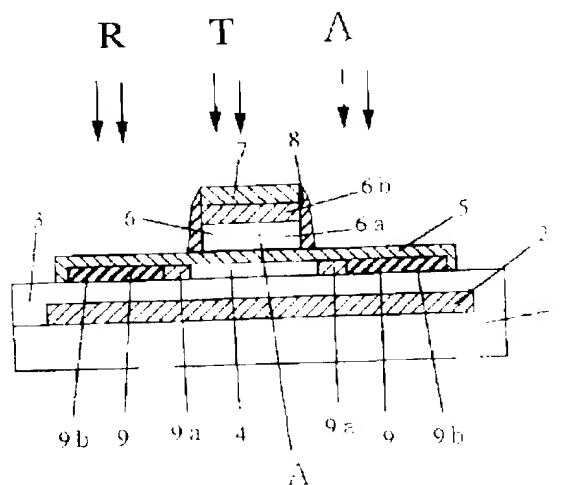
最終頁に続く

(54) 【発明の名称】 半導体装置及び表示装置

(57) 【要約】

【課題】 熱処理の際の基板の変形を防止すること

【解決手段】 ガラス基板1とTFT(A)と2間にW S i 膜2を形成する。このW S i 膜2は、不純物活性化の際のTFT(A)の熱を吸収する作用があり、多結晶S i 膜1をTFT(A)による熱とW S i 膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶S i 膜1全体を均一に加熱し、不純物の活性化を均一化することなく良好に行われるようにする。そして、このW S i 膜2の面積を、画素部1-1に位置するものより、周辺駆動回路部1-2に位置するものの方が大きくするように調整する。



【特許請求の範囲】

【請求項1】 基板上に複数の半導体素子を集積させたものであって、前記各半導体素子が前記基板と半導体素子との間に設けられた熱吸収膜を有し前記基板上には異なる前記半導体素子の分布状態にあわせて、半導体素子が相対的に多く密集している個所の前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に低下させ、前記半導体素子が相対的に少ない個所の前記各半導体素子に対する前記熱吸収膜による熱吸収効果を相対的に増加させたことを特徴とする半導体装置

【請求項2】 基板上に複数の半導体スイッチング素子を集積させた半導体装置であって、前記各半導体スイッチング素子が、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記基板上での前記半導体スイッチング素子の分布状態にあわせて、前記半導体スイッチング素子が相対的に多く密集している個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に低下させ、前記半導体スイッチング素子が相対的に少ない個所の前記各半導体スイッチング素子に対する前記熱吸収膜の熱吸収効果を相対的に増加させた半導体装置

【請求項3】 前記熱吸収膜による熱吸収効果を、熱吸収膜の面積や膜厚を変えることにより調整することを特徴とした請求項1または2に記載の半導体装置

【請求項4】 基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させた表示装置

【請求項5】 画素部と周辺駆動回路部とを同一基板上に形成された半導体スイッチング素子の表示装置において、基板上に形成された熱吸収膜と、この熱吸収膜上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備した半導体スイッチング素子を、前記画素部における画素駆動用素子及び前記周辺駆動回路部における周辺駆動回路用素子として用い、前記画素部における熱吸収膜の熱吸収効果を、前記周辺駆動

回路部における熱吸収膜の熱吸収効果を同一とすることを確し、前記画素部駆動用素子内及び前記周辺駆動回路用素子が半導体スイッチング素子から構成され、前記半導体スイッチング素子が、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記画素部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または膜厚の比率を、前記周辺駆動回路部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または膜厚の比率よりも大きくするよう設定した表示装置

【請求項6】 前記画素部内の前記熱吸収膜の面積が、前記画素部全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項7】 周辺駆動回路部内の前記熱吸収膜の面積が、前記周辺駆動回路部全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項8】 前記熱吸収膜の面積が、前記基板全体の面積の0.1～0.9%となるように設定されている請求項5に記載の表示装置

【請求項9】 前記基板は、液晶層を挟んで相対向して設けられた一対の基板のうち一方の基板であることを特徴とした請求項1、2、3、4、5、6のうちのいずれかに記載の表示装置

【請求項10】 前記熱吸収膜を前記半導体膜に直接対応して設けたことを特徴とする請求項5または6に記載の表示装置

【請求項11】 基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させた表示装置

【請求項12】 前記熱吸収膜の上に絶縁膜を形成することを特徴とする請求項11または12のうちのいずれかに記載の表示装置

【請求項13】 前記熱吸収膜が、全面または局部に形成された導電物質又はシリコン窒素の半導体膜であることを特徴とした請求項5または6のうちのいずれかに記載の表示装置

【請求項14】 請求項1～13のうちのいずれか一項に記載の半導体装置

【請求項15】 請求項1～13のうちのいずれか一項に記載の表示装置

【請求項16】 請求項1～13のうちのいずれか一項に記載の表示装置

【請求項17】 請求項1～13のうちのいずれか一項に記載の表示装置



チャンネル素子の分布状態にあわせて、前記半導体スイーチング素子が相対的に多く密集している個所の前記各半導体スイーチング素子に対する前記熱吸収膜の熱吸収効果を相対的に低下させ、前記半導体スイーチング素子が相対的に少ない個所の前記各半導体スイーチング素子に対する前記熱吸収膜の熱吸収効果を相対的に増加させたものである。

【0013】請求項5に記載の半導体装置は、前記熱吸収膜による熱吸収効果を、熱吸収膜の面積や膜厚を変えることにより調整するものである。請求項4に記載の半導体装置は、基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させたものである。

【0014】請求項5に記載の表示装置は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置において、基板上に形成された熱吸収膜と、この熱吸収膜の上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備した半導体スイッチング素子を、前記画素部における画素駆動用素子及び前記周辺駆動回路部における周辺駆動回路用素子として用い、前記画素部に位置する熱吸収膜の熱吸収効果を、前記周辺駆動回路部に位置する熱吸収膜の熱吸収効果に比べて低くするよう調整したものである。

【0015】請求項6に記載の表示装置は、画素部と周辺駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置であって、前記画素部内に設けられる画素駆動用素子と、前記周辺駆動回路部内に設けられる周辺駆動回路用素子とを備え、前記画素駆動用素子及び前記周辺駆動回路用素子が半導体スイッチング素子から構成され、前記半導体スイッチング素子に、前記基板上に形成された熱吸収膜と、前記熱吸収膜上に形成された半導体膜と、前記半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを備え、前記画素部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または厚さの比率を、前記周辺駆動回路部内に設けられる前記熱吸収膜の前記半導体膜に対する面積または厚さの比率よりも大きくする。

前記熱吸収膜の面積を、前記周辺駆動回路部全体の面積の0.01～0.05となるように設定されているものである。

【0017】請求項7に記載の表示装置は、前記熱吸収膜の面積が、前記基板全体の面積の0.01～0.05となるように設定されているものである。請求項10に記載の表示装置は、前記基板は、液晶層を含んで相対向して設けられた一対の基板のうち一方の基板であるものである。請求項11に記載の表示装置は、前記熱吸収膜を前記半導体膜のほぼ対応して設けたものである。

【0018】請求項12に記載の表示装置は、基板上に複数の半導体素子を集積させた表示装置であって、前記複数の半導体素子が熱吸収膜を有する複数の第1の半導体素子と熱吸収膜を有しない複数の第2の半導体素子を含み、前記基板上における前記半導体素子の分布状態にあわせて、前記半導体素子が相対的に多く密集している個所に前記第2の半導体素子を相対的に多く集積させ、前記半導体素子が相対的に少ない個所に前記第1の半導体素子を相対的に多く集積させたものである。

【0019】請求項13に記載の表示装置は、前記熱吸収膜の上に絶縁膜を形成したものである。請求項14に記載の表示装置は、前記熱吸収膜が、金属または金属シリサイドなどの導電物質又はシリコンなどの半導体物質であるものである。請求項15に記載の表示装置は、前記熱吸収膜が遮光性を有するものである。

【0020】請求項16に記載の表示装置は、前記基板が透明基板であるものである。請求項17に記載の表示装置は、前記熱吸収膜は、前記半導体スイッチング素子の製造過程で用いられる熱処理の熱を吸収し、やむを得ない材質からなるものである。請求項18に記載の表示装置は、前記熱処理としてR.T.A法（Rapid Thermal Annealing）を用いるものである。

【0021】請求項19に記載の表示装置は、前記R.T.A法の熱源としてセシウムワークラングを用いたものである。

【0022】

【発明の実施の形態】本発明の実施形態は、以下図1～図17を以て説明する。

工程1（図1参照）：石英ウエハやサファイアウエハ等の基板11上に、ガラス（絶縁）膜12、シリサイド（WSi<sub>2</sub>）膜13、絶縁（膜）14の順に、図1参照、S<sub>2</sub>O<sub>2</sub>O<sub>2</sub>Aの順序で調整可能である層を形成する。ステップ2では、WSi<sub>2</sub>材料15のペースペーストを使用する。WSi<sub>2</sub>材料15は、WとSiの元素量的組成比を調整することによって、導電性や半導体性を制御することが可能である。

かれない程度にNの上限を設定する必要がある。

【0028】工程2(図2参照)：前記Wシリサイド膜2を、リソグラフィ技術、エッチング技術を用いて、後述するトランジスタの能動層としての多結晶シリコンと同じパターンを加工する。

工程3(図3参照)：前記基板1及びWシリサイド膜2を露すように、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ などの絶縁性薄膜3を、CVD法やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に常圧又は減圧CVD法により、形成温度350℃で、膜厚5000～50000Åの $\text{SiO}_2$ 膜を形成する。

【0029】この $\text{SiO}_2$ 膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこの $\text{SiO}_2$ 膜を通過して上層へ拡散しない程度の厚みが必要で、1000～6000Åの範囲が適切で、2000～6000Åにしたときに拡散防止効果が良好で、その中でも3000～5000Åの場合がもっとも適している。また、絶縁性薄膜3として $\text{Si}_3\text{N}_4$ を用いた場合の膜厚としては、1000～5000Åの範囲が適切で、2000～5000Åにしたときに拡散防止効果が良好で、その中でも2000～3000Åの場合がもっとも適している。

【0030】工程4(図4参照)：前記絶縁性薄膜3の上に、非晶質シリコン膜4を、膜厚500Åを形成する。この非晶質シリコン膜4をTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのオフ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜4の膜厚は、400～800Åの範囲が適切で、500～700Åにしたときに特性が良好で、その中でも500～600Åの場合がもっとも適している。

【0031】前記非晶質シリコン膜4の形成方法には以下のものがある。

①減圧CVDを用いる方法：減圧CVD法でシリコン膜を形成するには、モノシラン( $\text{SiH}_4$ )、ジシラン( $\text{Si}_2\text{H}_6$ )、トリシランを用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質シリコン膜では多結晶となり、そして、550～600℃では微結晶を含む非晶質が多くなり、温度が低くなると非晶質に比べて微結晶が少なくなる。従って、温度条件を変えただけで、非晶質シリコン膜4中の微結晶の量を調節することができると。

【0032】②プラズマCVD法を用いる方法：プラズマCVD法は非晶質シリコン膜が形成され、プラズ

マ波長λ=248nmのエキシマレーザービームを走査してアニール処理を行い、非晶質シリコン膜4を微結再結晶化して、多結晶シリコン薄膜4を形成する。

【0033】この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-3}$  Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec(実際には、0.1～1000mm/secの範囲の速度で走査可能)である。前記レーザービームとして、波長λ=248nmのエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気： $1 \times 10^{-3}$  Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/sec(実際には、0.1～1000mm/secの範囲の速度で走査可能)である。

【0034】また、波長λ=193nmのエキシマレーザーを使用してもよい。この場合のレーザー条件は、アニール雰囲気： $1 \times 10^{-3}$  Torr以下、基板温度：室温～600℃、照射エネルギー密度：100～500mJ/cm<sup>2</sup>、走査速度：1～10mm/secである。いずれのレーザービームを用いても、照射エネルギー密度及び照射回数に比例して、多結晶シリコンの粒径は大きくなるので、所望の大きさの粒径が得られるように、エネルギー密度を調整されればよい。

【0035】本実施例では、このエキシマレーザーアニールに、高スルーストレーザー照射法を用いる。即ち、図14において、101はエキシマレーザー、102はこのレーザー101からのレーザービームを反射する反射鏡、103は反射鏡102からのレーザービームを所定の状態に加工し、基板1に照射するレーザービーム制御光学系である。

【0036】このような構成において、高スルーストレーザー照射法とは、レーザービーム制御光学系103によってシート状の150mmφ、5mm厚に加工されたレーザービームを、細切れ状の中合わせ鏡104を照射する方法に、レーザー走査を付与しレーザー照射を一定時間させ、その後高品質の半導体105を照射することにより、パターンを形成するものである。

【0037】工程5(図5参照)：前記多結晶シリコン膜4を露膜トランジスタの能動層として用いるために、プラズマCVD技術、CVD法によるトランジスタエッチング技術により前記多結晶シリコン膜4を所定形状に加工する。そして、前記多結晶シリコン膜4の上に、プラズマCVD法で、プラズマを用いた減圧CVD法により

0.03Å)を堆積する。この非晶質シリコン膜6は、その形成時に不純物(Ⅱ型ならヒ素やリン、Ⅰ型ならホウ素)がドーパされているが、アモルファス状態で堆積し、その後に不純物を注しなくてもよい。次に、スパッタ法を用い、前記非晶質シリコン膜6の上面にタングステンシリサイド(WSi<sub>2</sub>)膜6b(膜厚1000Å)を形成する。

【0031】そして、常圧CVD法により、前記WSi<sub>2</sub>シリサイド膜6bの上にシリコ、酸化膜7を堆積した後、プラズマグラフト技術、H<sub>2</sub>法によるドライエッチング技術を用いて、前記多結晶シリコン膜6a、WSi<sub>2</sub>シリサイド膜6b及びシリコン酸化膜7を所定形状に加工する。前記非晶質シリコン膜6は、前記WSi<sub>2</sub>シリサイド膜6bとともにポリサイド構造のゲート電極6として使用する。

【0035】工程8(図8参照)：前記ゲート絶縁膜5及びシリコン酸化膜7の上へ、常圧CVD法によりシリコン酸化膜を堆積し、これを異方性全面エッチバックすることにより、前記ゲート電極6及びシリコン酸化膜7の側方にサイドウォール8を形成する。そして、自己整合技術により、サイドウォール8をマスクとして、多結晶シリコン膜4に、加速電圧：5.0KV、ドーズ量3 $\times 10^{16}$ /cm<sup>2</sup>の条件で、リン(P)イオンを不純物として注入し、低濃度の不純物領域9aを形成する。

【0036】工程9(図9参照)：前記サイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧：8.0KV、ドーズ量1 $\times 10^{16}$ /cm<sup>2</sup>の条件で、リン(P)イオンを不純物として注入し、高濃度の不純物領域9bを形成することにより、LDD(Lightly Doped Drain)構造のソース・ドレイン領域9を形成する。

【0037】工程10(図10参照)：この状態で、RTA(Rapid Thermal Annealing)法による急速加熱を行う。即ち、図15において、105はシート状のアンニール炉を充てる炉管であり、ヒータ、ヒータ・アークランツ106とそれを包む反射鏡107を主組として、これを上下に相対向させることにより構成している。108、109は基板1を搬送するためのクレーン、109は加熱用のフリヒーター、110は加熱後の基板が急激に冷却されてひび割れしないようにするための油助ヒーターである。

【0038】このように構成した炉で、基板1をフリヒーター109で予熱した後、シート状のアンニール炉108を通過して、油助ヒーター110で急冷する。

【0039】同、基板1に対して、急激に高い温度を加えることが必要の場合、炉18を複数回に分けて行ってもよい。即ち、各回の時間は1～5秒とし、回を重ねる毎に温度を、初回：100℃、最終回：700℃のレンジとていように段階的に上昇させる。より具体的に、窒素(N<sub>2</sub>)雰囲気中で、加熱を例えば回数が1回、2回、3回、4回、5回、6回、7回、8回、9回、10回に分けて行い、各回この処理温度が段階的に上昇するように設定してもよい。例えば、初回：1回目：100℃、2回目：100℃、以下同じ、3回目：500℃、4回目：500℃、5回目：600℃、6回目：600℃、7回目：600℃、8回目：600℃、9回目：600℃、10回目：600℃とし、徐々に温度を上昇させる。これにより、基板が反ったり破損したりすることの少ないことができる。各回の処理時間は例えば1～5秒である。

【0040】温度の調整は、初回は前記N<sub>2</sub>アークランツを点灯せず、フリヒーターの熱を用い、2回目以降は、N<sub>2</sub>アークランツのパワーを1KW～7KWの範囲で変更することにより行うことができる。前記N<sub>2</sub>アークランツの光熱は、多結晶部よりも非晶質部をシリサイド部に強く吸収されるため、必要部分のみを重点的に加熱することが可能になり、(1)ゲート配線の低抵抗化や不純物の活性化に達している。また、後述するようにWSi<sub>2</sub>シリサイド膜を用いた加熱も有効に行うことができる。

【0041】そして、この急速加熱により、前記ソース・ドレイン領域9の不純物が活性化するとともに前記非晶質シリコン膜6aが多結晶化され、更に、この多結晶シリコン膜6aとWSi<sub>2</sub>シリサイド膜6bとによるポリサイド構造のゲート電極6のシート抵抗が、約200～250Ω/cm以下になる。また、活性化処理を行ったソース・ドレイン領域6のシート抵抗も、Ⅱ型で1～1.5kΩ/cm、Ⅰ型で1～1.5kΩ/cm以下となる。高温プロセスで用いられる拡散炉による高温熱処理と同等のものとなる。

【0042】特に、本実施例では、多結晶シリコン膜1に対応して、その下方にWSi<sub>2</sub>シリサイド膜2を形成している。このWSi<sub>2</sub>シリサイド膜2は、シリコンを吸収する作用があり、熱を吸収したWSi<sub>2</sub>シリサイド膜2は、放射熱により、前記多結晶シリコン膜1の不純物を活性化が行われる。即ち、多結晶シリコン膜1をN<sub>2</sub>アークランツによる熱とWSi<sub>2</sub>シリサイド膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶シリコン膜1全体を均一に加熱し、活性化がバラツキをなく良好に行われるようにする。

【0043】WSi<sub>2</sub>シリサイド膜2の厚さは、基本的に多結晶シリコン膜1を記したシリコン基板の厚さの半

り、均一な熱処理が行われ、また、Wシリサイド膜2が集中する場所での温度が非常に高くなって基板1が変形する場合がある。そこで、下層に配置した熱吸収膜の単位面積当たりの密度を、その上層に形成されるパターンに倣った程度に一定となるようにすれば、ドライバ活性化するまでの温度分布の均りを解消することができ、具体的にドライバ—体素の1:1パネルでは、ドライバ部に比べて画素部のトランジスタの密度が高いため、ドライバ部のトランジスタに対応するWシリサイド膜2の大きさを、画素部のそれに比べて大きくしてやることで、基板1全体の温度分布がほぼ均一になる。

【0041】1CDパネルにおいては、回路面積の約10%がWシリサイド膜2となるように調整することが好ましい。この工程により、多結晶シリコンTFT（TFT:Thin Film Transistor）（A）が形成される。次に、上記のように製造された多結晶シリコンTFT（A）を画素駆動素子として用い、透過型構成をとる1CDの画素部の構成を図11に基づいて説明する。

【0042】工程①：層間絶縁膜11の形成に先立ち、スパッタ法により、前記基板1の画素部領域上にITO（Indium Tin Oxide）からなる補助容量の蓄積電極12を形成する。

工程②：ゲイムの全面に絶縁膜13を形成する。絶縁膜13の材質としては、シリコン酸化膜、シリケートガラス、シリコン窒化膜などが用いられ、その形成にはCVD法又はLPCVD法が用いられる。

【0043】次に、絶縁膜13にソース・ドレイン電極14とコンタクトするためのコンタクトホールを形成し、スパッタ法により、そのコンタクトホールを含むゲイムの全面にITO膜を形成し、そのITO膜をパターンングして表示電極15を形成する。

工程③：多結晶シリコンTFT（A）が形成された透明絶縁基板1を、表面に共通電極16が形成された透明絶縁基板17とを相対向させ、各基板1、17の間に液晶を封入して液晶層18を形成する。その結果、1CDの画素部が完成する。

【0044】次に、図12に本実施例におけるゲイム部で用いられる方式1（1）のゲイム部構成図を示す。画素部17には各走査線（ゲート配線）G1、G2、G3、G4、G5面と各データ線（ドレイ配線）D1、D2、D3、D4、D5面とが配置されている。各ゲート配線と各ドレイ配線とをそれぞれ直交し、その直交部分に画素20が設けられている。そして、各ゲート配線は、ゲートドライバ21に接続され、ゲート信号、走査信号が印加される。また、各データ線は、データドライバ22に接続され、データ信号が印加される。

ここでいふように、一方を画素部17で同一基板1上に形成した1CDは、一般にドライバ—体素、ドライバ内蔵型、1:1と称はれている。尚、ゲートドライバ21は、画素部17の両端に設けられている場合もある。また、ドレイドライバ22は、画素部17の両側に設けられている場合もある。

【0045】この周辺駆動回路部23のスイッチング素子にも前記多結晶シリコンTFT（A）を同様の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT（A）の作製は前記と同様に、同一基板1上に形成される。尚、この周辺駆動回路部23を用いた多結晶シリコンTFTは、1CD構造ではなく、通常のシングルドレイン構造を採用している（もちろん、1CD構造であってもよい）。

【0046】また、この周辺駆動回路部23の多結晶シリコンTFTは、CMOS構造に形成することにより、各ドライバ21、22としての寸法の縮小化を実現している。図13にゲート配線Gnとドレイ配線Dmとの直交部分に設けられている画素20の等価回路を示す。

【0047】画素20は、画素駆動素子としてのTFT（前記薄膜トランジスタAと同様）、液晶セル19、補助要領CSから構成される。ゲート配線GnにはTFTのゲートが接続され、ドレイ配線DmにはTFTのドレインが接続されている。そして、TFTのソースは、液晶セル19の表示電極（画素電極）と補助容量（蓄積電極）又は付加容量、CSとが接続されている。

【0048】この液晶セル19と補助容量CSとにより、信号蓄積電荷が構成される。液晶セル19の共通電極（表示電極の反対側の電極）には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極には定電圧VHが印加されている。この液晶セル19の共通電極は、文字通り全ての画素20に対して共通した電極となっている。そして、液晶セル19の表示電極と共通電極との間には静電容量が形成されている。尚、補助容量CSにおいて、TFTのソースと接続される側の反対側の電極は、ゲート配線Gnと接続されている場合もある。

【0049】このように構成された画素20において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイ配線Dmに印加されたデータ信号は、液晶セル19の静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にして、TFTのゲートに負電圧を印加すると、TFTがオフとなり、ゲート配線Gnに印加されたデータ信号は、液晶セル19の静電容量と補助容量CSとが放電される。液晶セル19の静電容量は、

【0050】 $C = \epsilon \cdot S / d$ （ $\epsilon$ :誘電率、 $S$ :電極面積、 $d$ :電極間隔）で表わされ、

【0051】 $C = \epsilon \cdot S / d$ （ $\epsilon$ :誘電率、 $S$ :電極面積、 $d$ :電極間隔）で表わされ、

りの透過率が変化し、画像が表示される。

【0051】ここで、画素20の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部19の仕様から定められた単位時間内に、信号蓄積素子（液晶セル10）及び補助容量のSに対して所望のビデオ信号電圧を十分に書き込むことができるかどうかをいふ点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要時間を保持することができるかどうかという点である。

【0052】補助容量のSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性及び保持特性を向上させるためである。すなわち、液晶セル10は、その構造上、静電容量の増大には限界がある。そこで、補助容量のSによって液晶セル10の静電容量の不足分を補うわけである。ここで、図18は熱吸収膜であるWシリサイド膜2が設けられる領域を示す平面図である。

【0053】図18に示す如く、Wシリサイド膜2は多結晶シリコン膜1とほぼ同じ領域（図中ハッチングで示す）に設けられている。図中、71はソース・ドレイン電極、75は画素電極であり、S1はドレイライン、S2はゲートラインである。周辺駆動回路部では、画素部に比べて半導体膜がより密集しているため、熱吸収膜は半導体膜の領域内でより小さな大きさに設けられていることが好ましい。

【0054】図19は、本発明における熱吸収膜の他の例を示す平面図である。図例を参照して、熱吸収膜2は、多結晶シリコン膜のチャネル部61（図中ハッチングで示す）の部分にのみ設けられている。集積化半導体デバイスでは、上述のように、ハッチングの疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、場所によって単位面積当りの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜2が集中する場所での温度が非常に高くなって基板61が変形する場合がある。

【0055】そこで、下層に設置した熱吸収膜2の単位面積当りの密度を、上の土層に形成される材料とほぼ等しい材料は一定となるようにすれば、均一な特性化することを可能にする。本実施形態のようなバイポーラ型の上11は、例えば、周辺駆動回路部23に比べて画素部19のトランジスタの密度が高いため、周辺駆動回路部23のトランジスタの密度に相当するWシリサイド膜2の面積を、画素部19のトランジスタの密度と等しく、基板

回路部1及びそれ以外の領域における熱吸収膜の面積比率を説明するための平面図である。

【0056】上述のように、熱吸収膜は、基板61全体ではほぼ均等に設けられていることが好ましい。画素部20では、回路部全体の面積の0.1%～6.0%であることが好ましく、より好ましくは1.0%～5.0%であり、周辺駆動回路部23では、回路部全体の面積の0.1%～6.0%であることが好ましく、より好ましくは1.0%～5.0%であり、画素部20及び周辺駆動回路部24以外の領域25においては、全体の面積の0.1%～6.0%設けられていることが好ましく、より好ましくは1.0%～5.0%である。

【0057】以上の実施形態において、前記Wシリサイド膜2の大きさは、基本的に、多結晶シリコン膜1と同じか又はそれ以上であればよいが、面内でのハッチングの大きさに対応した面積となるように調整すれば、なお好ましい。また、上11ハッチングにおいて、周辺駆動回路部23は透光性を必要としないので、この部分のWシリサイド膜2の大きさの調整範囲は、0から周辺駆動回路部23全域まで可能である。

【0058】尚、Wシリサイド膜2の面積を変える以外にも、膜厚を変える手法もある。Wシリサイドを用いた場合の膜厚は、200Å～1000Åであり、より好ましくは、半導体素子の密度が高い領域は200Å～800Å、半導体素子の密度が低い領域は1000Å～6000Åであり、非品質シリコンを用いた場合には、1000Å～4000Åであり、より好ましくは、2000Å～8000Åである。いずれの材料の場合も、概ね密度の高い領域は密度の低い領域に対して厚みは半分程度であることが好ましい。

【0059】以上、本実施形態により製造した多結晶シリコンTFTにおいては、いわゆる低温プロセスで行うことができ、しかも、真鍮の多結晶シリコン膜を能動層として使用している。本発明者の実験によれば、nチャネルのMOS型多結晶シリコンTFTでの移動度が $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ 、pチャネルのMOS型多結晶シリコンTFTでの移動度が $1.5 \times 10^2 \text{ cm}^2/\text{Vs}$ 、nチャネルのSiGe層を用いたMOS型多結晶シリコンTFTでの移動度が $1.5 \times 10^4 \text{ cm}^2/\text{Vs}$ 、pチャネルのSiGe層を用いたMOS型多結晶シリコンTFTでの移動度が $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ であった。

【0060】このように、特性向上が図れるのは、例えば、 $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ 、 $1.5 \times 10^2 \text{ cm}^2/\text{Vs}$ 、 $1.5 \times 10^4 \text{ cm}^2/\text{Vs}$ 、 $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ の移動度と、 $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ の移動度とを比較すると、 $1.5 \times 10^4 \text{ cm}^2/\text{Vs}$ の移動度のMOS型多結晶シリコンTFTは、 $1.5 \times 10^3 \text{ cm}^2/\text{Vs}$ の移動度のMOS型多結晶シリコンTFTの10倍の性能を示すことが使用できることが分かる。



【0076】

【発明の効果】本発明によれば、以下の通りの優れた効果を奏する。

- 1) 熱吸収膜の存在により、不純物領域の活性化状態が均一に保たれた品質の半導体装置を得ることが出来る。
- 2) 良質な半導体膜を有する半導体装置を短時間で得ることが出来る。
- 3) 表示性能に優れたLEDをハイスなどの表示装置を提供することが出来る。
- 4) 熱処理の際の基板の変形を防止することが出来る。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図2】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図3】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図4】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図5】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図6】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図7】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図8】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図9】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図10】本発明を具体化した一実施例の製造工程を説

明するための断面図である。

【図11】1-11の断面部の製造方法を説明するための概略断面図である。

【図12】マスクパターン形成工程の断面図である。

【図13】画素形成工程の断面図である。

【図14】エッチング工程の断面図である。

【図15】LED装置の構成図である。

【図16】従来例の製造工程を説明するための断面図である。

【図17】従来例の製造工程を説明するための断面図である。

【図18】本発明における熱吸収膜の形成領域の一例を示す平面図である。

【図19】本発明における熱吸収膜の形成領域の他の例を示す平面図である。

【図20】本発明における画素部、周辺駆動回路部及びその他の基板上の領域における熱吸収膜の面積比率を説明するための平面図である。

【符号の説明】

- 1 絶縁基板
- 2 Wシリサイド膜（熱吸収膜）
- 3 絶縁性薄膜（絶縁膜）
- 4 多結晶シリコン膜（半導体膜）
- 5 LED膜（エポキシ絶縁膜）
- 6 ゲート電極
- 9 不純物領域
- A 不純物・半導体粒子、半導体スイッチング素子
- 62 Wシリサイド膜（熱吸収膜）

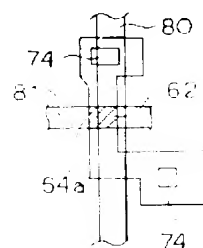
【図1】



【図11】



【図19】



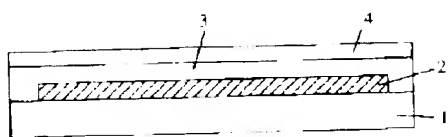
【図13】



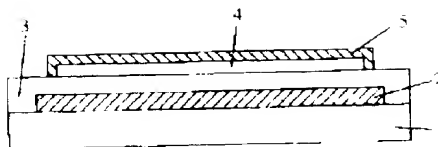
【図15】



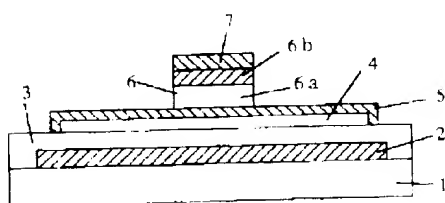
【図5】



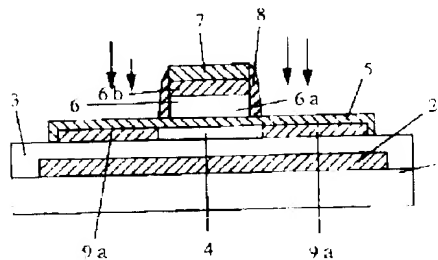
【図6】



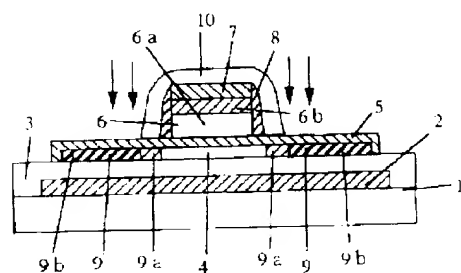
【図7】



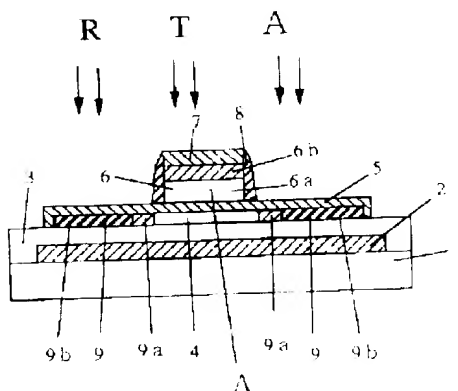
【図8】



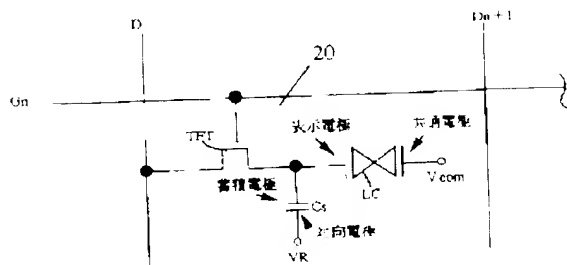
【図9】



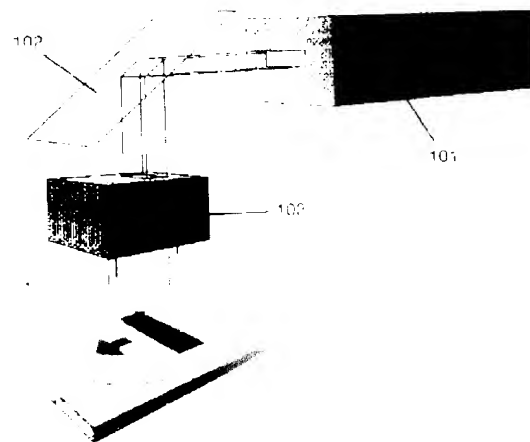
【図10】



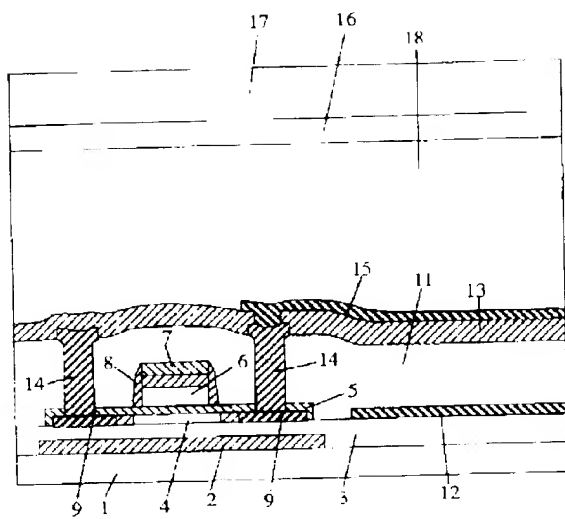
【図11】



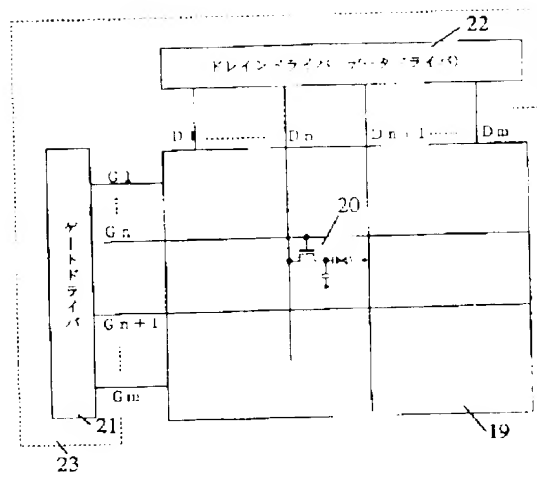
【図12】



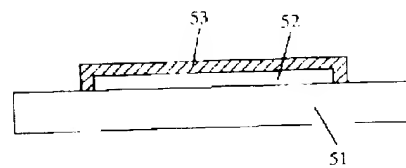
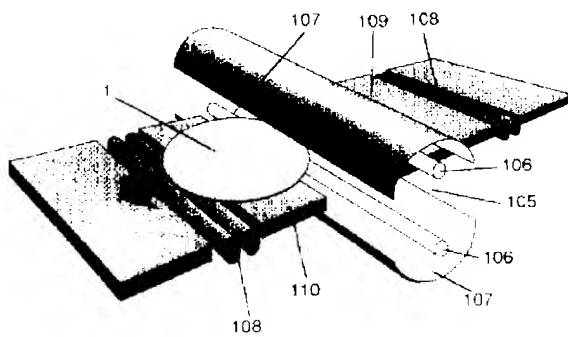
【図 11】



【図 12】

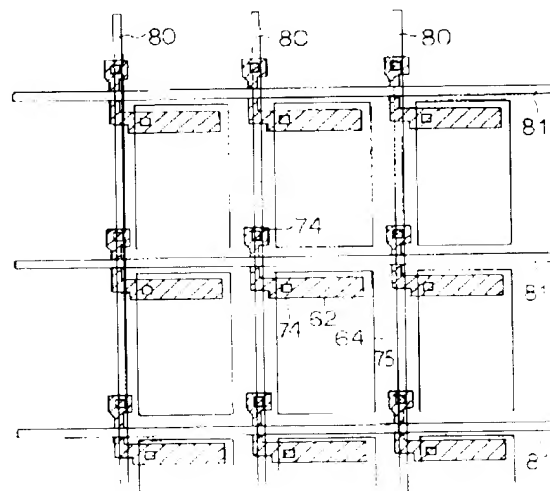


【図 13】

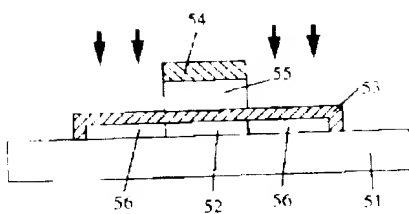


【図 15】

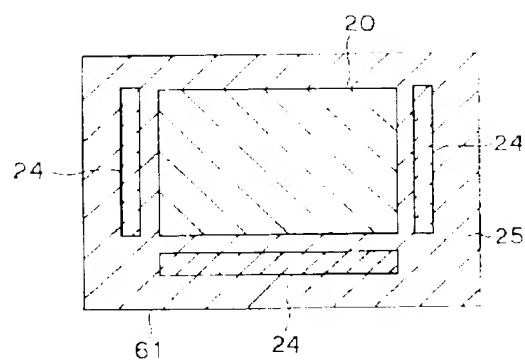
【図 16】



【図 17】



【図20】



フロントページの続き

(51)Int. Cl.  
H01L 21/586

識別記号 頁内整理番号

F 1  
H01L 23/78

技術表項箇所

6260  
6273

(72)発明者 森本 佳宏  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72)発明者 米田 清  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内